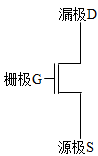
**第七章 数字逻辑电路**

1.**集成电路**：用工艺将电路中的元件及布线互连，固定在半导体晶片或介质基片上，封装在管壳内，称为具有所需电路功能的微型结构。

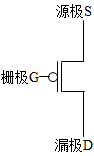
2.**摩尔定律**：集成电路上可容纳的晶体管数目约每隔18个月增加一倍。即，价格不变时，每一美元能买到的电脑性能每隔18个月翻两倍以上。

3.**微处理器由MOS**（**金属氧化物半导体**）**晶体管组成。**

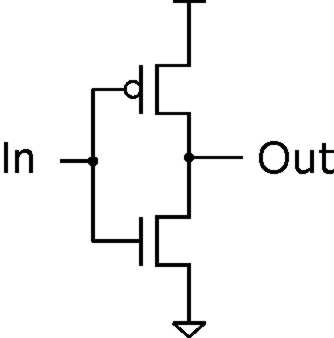
4.**N型MOS晶体管源极不能接电源正极**。栅极加2.9V电压，漏极和源极导通；栅极加0V电压，漏极和源极断开。

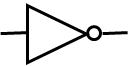


5. **P型MOS晶体管源极不能接地。**栅极加2.9V电压，漏极和源极断开；栅极加0V电压，漏极和源极导通。

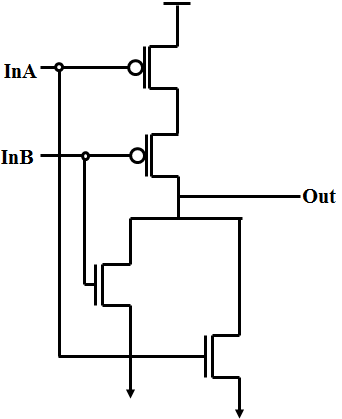


6.**CMOS**（**互补金属氧化物半导体**）电路：既包含P型晶体管，又包含N型晶体管。

7.**反相器**（**非门**）



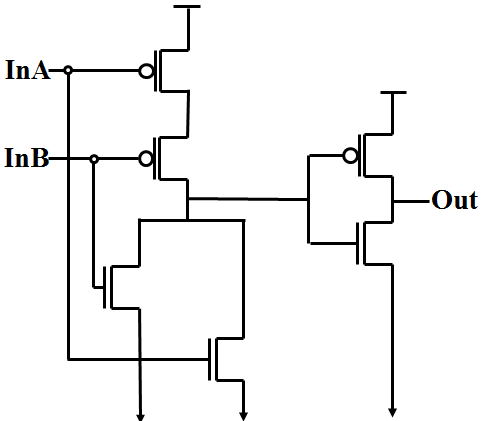
|  |  |
| --- | --- |
| In | Out |
| 1 | 0 |
| 0 | 1 |

8.**非或门**



|  |  |  |
| --- | --- | --- |
| InA | InB | Out |
| 1 | 1 | 0 |
| 1 | 0 | 0 |
| 0 | 1 | 0 |
| 0 | 0 | 1 |

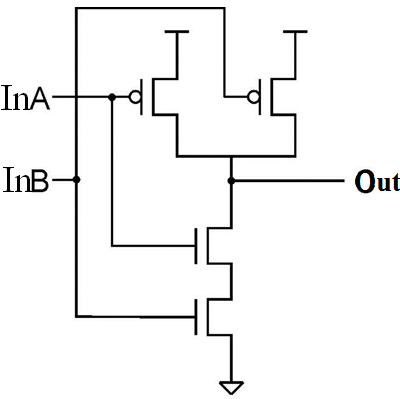


9.**或门**（非或门+反相器）



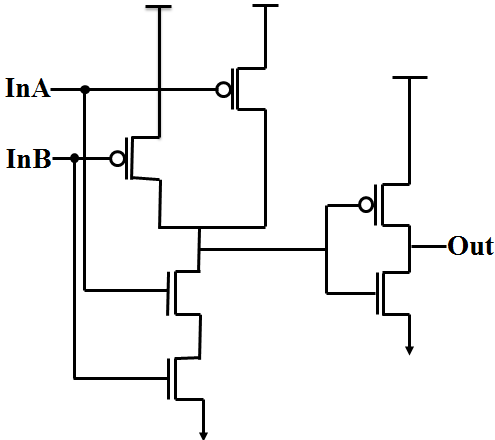
|  |  |  |
| --- | --- | --- |
| InA | InB | Out |
| 1 | 1 | 1 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 0 | 0 | 0 |



10.**非与门**



|  |  |  |
| --- | --- | --- |
| InA | InB | Out |
| 1 | 1 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 0 | 0 | 1 |

11.**与门**（非与门+反相器）



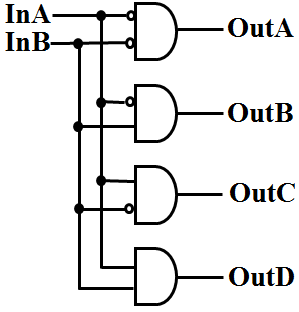
|  |  |  |
| --- | --- | --- |
| InA | InB | Out |
| 1 | 1 | 1 |
| 1 | 0 | 0 |
| 0 | 1 | 0 |
| 0 | 0 | 0 |



12.**组合逻辑电路**（**判定元件**）不存储信息，输出值只由当前输入值决定。包括**译码器**、**多路选择器**、**全加法器**。

13.**译码器**

只有一个输出为1，其他全为0。若有n个输入，则有2n个输出。

作用：判断某个位组合。

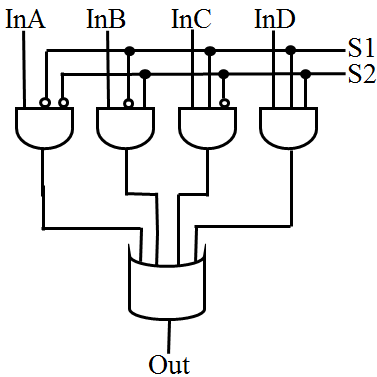
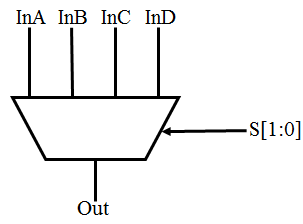
n=2，2-4译码器：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| InA | InB | OutA | OutB | OutC | OutD |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |

14.**多路选择器**

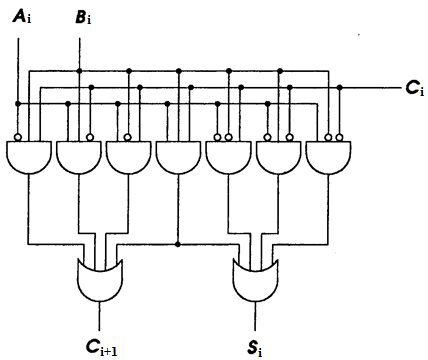
由选择信号决定哪个输入连接到输出。

n条选择线，2n个输入，1个输出。

n=2，4-1多路选择器：

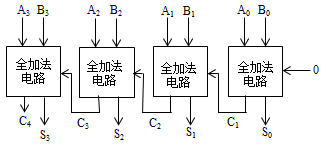
|  |  |  |
| --- | --- | --- |
| S1 | S2 | Out |
| 1 | 1 | InD |
| 1 | 0 | InC |
| 0 | 1 | InB |
| 0 | 0 | InA |

15.**全加法电路**



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| In | | | Out | |
| ai | bi | ci | ci+1 | si |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

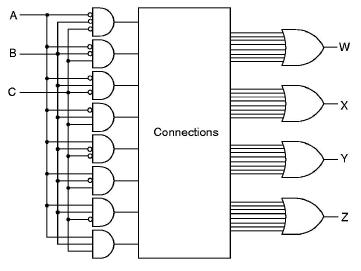
4位加法电路：



16.**PLA**（**可编程逻辑阵列**）：可以实现任意逻辑运算的通用组件。

与阵列：每个与门有n个输入，一共2n个与门。

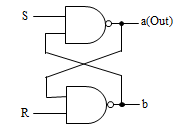
或阵列：输出。

n=3：

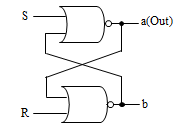
17.**逻辑完备性**：提供足够多的与或非门，可以实现任意逻辑运算。即，门集合{与、或、非}在逻辑上完备。18.任意逻辑运算可以通过PLA实现。

19.**基本存储元件**：能够存储信息的元件。包括**R-S锁存器**、**门控D锁存器**、**寄存器**。

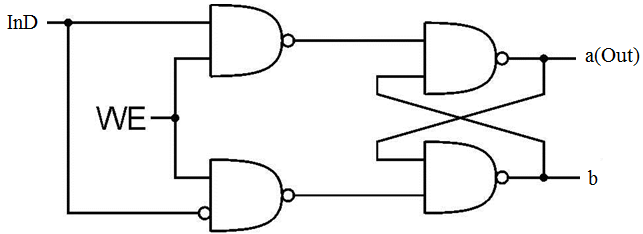
20.**R-S锁存器**

①非与门：

|  |  |  |
| --- | --- | --- |
| S | R | 状态 |
| 1 | 1 | 静止状态， a与b相异，锁存a值 |
| 1 | 0 | 存储0（清空），a=0，b=1 |
| 0 | 1 | 存储1，a=1，b=0 |
| 0 | 0 | 取决于晶体管电子特性（禁止此操作） |

 ②非或门：

|  |  |  |
| --- | --- | --- |
| S | R | 状态 |
| 1 | 1 | 静止状态， a与b相异，锁存a值 |
| 1 | 0 | 存储1，a=1，b=0 |
| 0 | 1 | 存储0（清空），a=0，b=1 |
| 0 | 0 | 取决于晶体管电子特性（禁止此操作） |

21.**门控D锁存器**

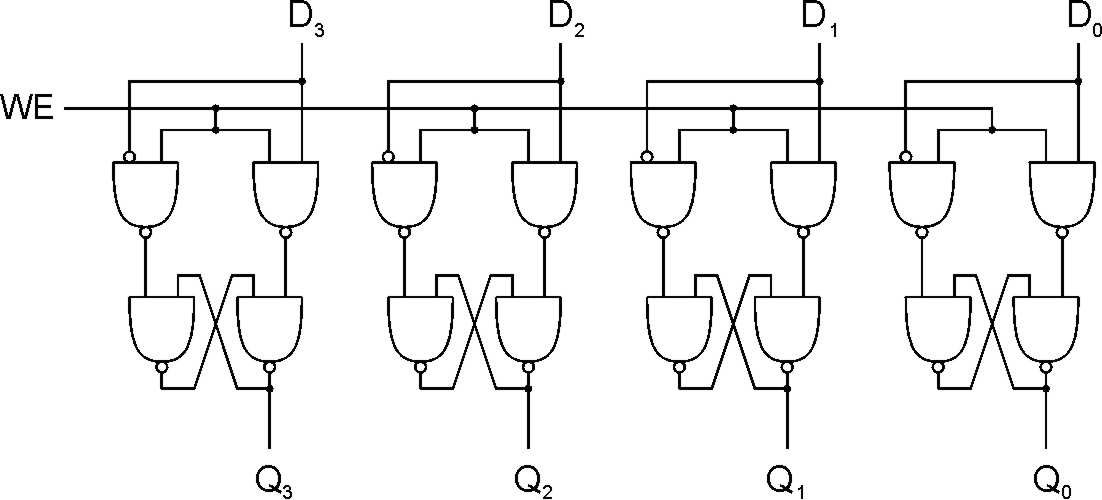
|  |  |  |
| --- | --- | --- |
| InD | WE | 状态 |
| 1/0 | 0 | 静止状态， a与b相异，锁存a值 |
| 1 | 1 | 存储1，a=1，b=0 |
| 0 | 1 | 存储0（清空），a=0，b=1 |

优点：对R-S锁存器何时设为1和0进行控制，避免R=S=0的情况。

22.**寄存器**

多个门控D锁存器存储多位，共享WE。

4位寄存器Q[3:0]：



23.**存储器**由一定数量的单元组成，每个单元可被唯一识别，都有存储一个数值的能力。

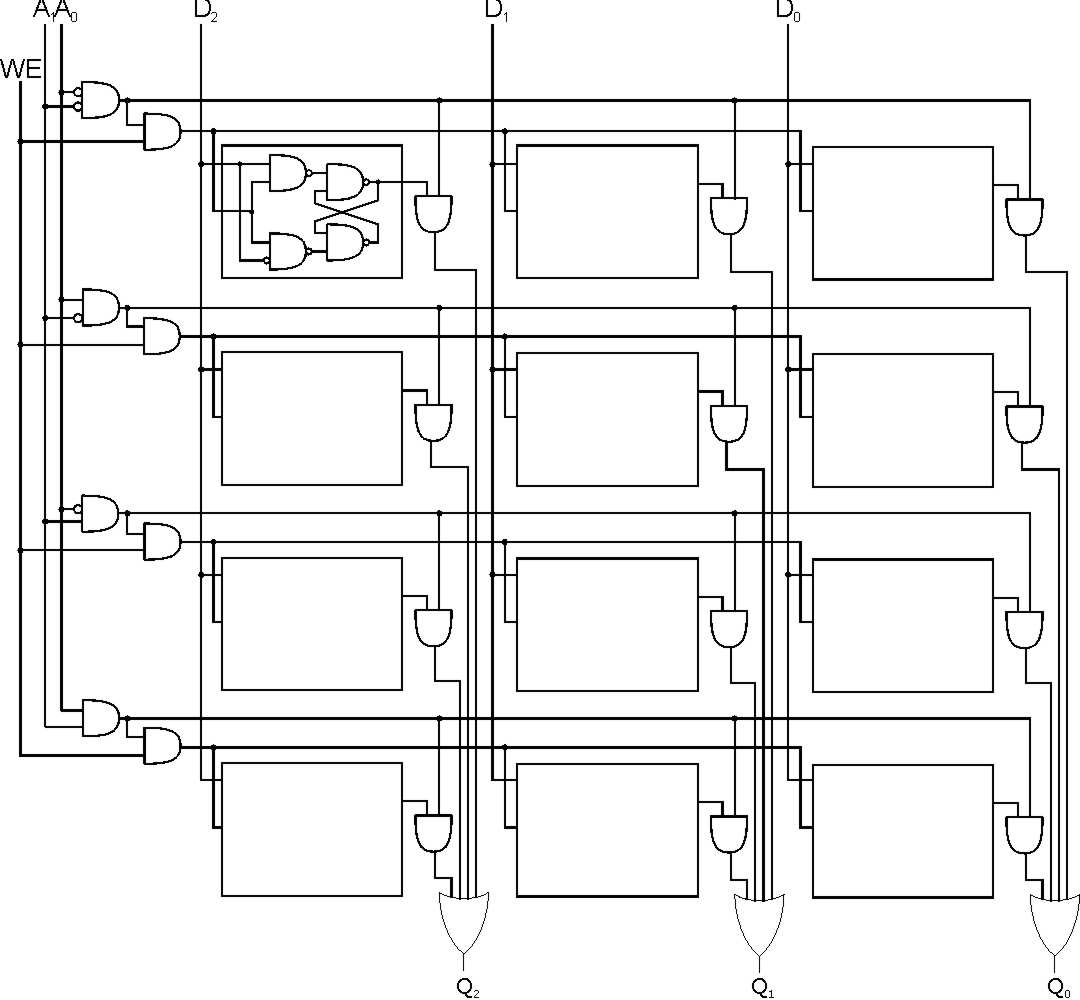
4×3存储器：

结构：→门控D锁存器→4-1多路选择器→门控D锁存器→4-1多路选择器→门控D锁存器→4-1多路选择器

有22个存储单元，3位寻址能力。

2根地址线[1:0]：译码器

3根数据线[2:0]：门控D锁存器。



24.**字段**：位组合的子单元。

25.**地址**：和每个单元联系在一起的唯一标识符。

26.**地址空间**：唯一可被识别的单元总数。

n位地址，则地址空间为2n。

27.**寻址能力**：存储在每个单元中的位数。

大多数存储器字节可寻址。

28.存储单元单位：1K=210，1M=220，1G=230，1T=240

29.**字节**（**byte**）：1B=8bit

30.**单元组**（**nibble**）：4bit

31.4GB存储容量表示有2^32个存储单元，字节可寻址。

32.译码器某一位地址输出的1是被寻址的**字线**。

33.**SRAM**（**静态随机访问存储器**）

静态：只要供电，内部数据就不会丢失。

随机：任意顺序访问而不关心前次访问的单元。

34.**时序逻辑电路**既能存储信息，又能处理信息。输出值由当前输入和存储元件中的值共同决定。

35.**状态**：某一特定时刻，系统内所有相关部分的一个瞬态图。

36.状态数目必须有限，原因是存储元件容量有限。

37.**有限状态机**组成元素

①有限数目的状态。

②有限数目的外部输入。

③有限数目的外部输出。

④明确定义的状态转换函数。

⑤明确定义的外部输出函数。

38.**状态图**中圆对应一个状态，弧线与箭头确定一个状态的转换。

39.**时钟电路**：触发状态从一个向下一个转换的机制。

40.**时钟周期**：重复的时间间隔序列中的一个时间间隔。

41.存储元件使用**主从触发器**，即2个门控D锁存器。